

PAT-NO: JP404186815A

DOCUMENT-IDENTIFIER: JP 04186815 A

TITLE: MANUFACTURE OF SILICON-ON-INSULATOR SUBSTRATE

PUBN-DATE: July 3, 1992

INVENTOR-INFORMATION:

NAME

FUKURODA, JIYUNJI

ARIMOTO, YOSHIHIRO

INT-CL (IPC): H01L021/02, H01L027/12

ABSTRACT:

PURPOSE: To use a low resistant metallic silicide as a buried layer furthermore enabling the even bonding strength to be gained extending over the whole substrate surface by a method wherein a tantalum thin film is formed on insulating substrate and then the first silicon wafer is laminated on the tantalum thin film to be bonded together by heating at specific temperature in an inert gas atmosphere.

CONSTITUTION: A tantalum thin layer 3 is formed on insulating substrate plates 1, 2 and then the first silicon wafer 4 is laminated on the tantalum thin film 3 to be bonded to each other by heating at the temperature of 400-1100 $^{\circ}$ C in an inert gas atmosphere. For example, the surface of the second silicon wafer 1 is thermal-oxidized to form a silicon dioxide insulating film 2 further forming the tantalum thin layer 3 using sputtering process, evaporation process etc. Next, the first silicon wafer 4 is laminated on the tantalum thin layer 3 to be mounted on a heater 14 and then a vacuum vessel 11, after being vacuumized, is fed with nitrogen gas to be heated at the temperature of 600-800 $^{\circ}$ C. Furthermore, the whole body is bonded together by impressing it with pulse voltage of 100-350V in the period of 1-2 times per sec for about three minutes and successively the whole body is heat-treated to silicify the entire tantalum thin layer 3.

COPYRIGHT: (C)1992,JPO&Japio

----- KWIC -----

Document Identifier - DID (1):

JP 04186815 A

⑩ 公開特許公報(A) 平4-186815

⑤ Int.Cl.⁵H 01 L 21/02
27/12

識別記号

B
B

庁内整理番号

8518-4M
7514-4M

④ 公開 平成4年(1992)7月3日

審査請求 未請求 請求項の数 7 (全5頁)

⑭ 発明の名称 シリコンオンインシュレータ基板の製造方法

⑯ 特 願 平2-314433

⑰ 出 願 平2(1990)11月21日

⑱ 発 明 者 袋 田 淳 史 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑱ 発 明 者 有 本 由 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 寒川 誠一

明 細 書

1. 発明の名称

シリコンオンインシュレータ基板の製造方法

2. 特許請求の範囲

〔1〕絶縁基板上にタンタルの薄層(3)を形成し、

該タンタルの薄層(3)上に第1のシリコンウェーハ(4)を重ね合わせ、不活性ガス中において400～1,100℃の温度に加熱して接着する工程を有する

ことを特徴とするシリコンオンインシュレータ基板の製造方法。

〔2〕前記の接着工程は減圧中において実行されることを特徴とする請求項〔1〕記載のシリコンオンインシュレータ基板の製造方法。

〔3〕前記の加熱温度は600～800℃であることを特徴とする請求項〔1〕または〔2〕記載のシリコンオンインシュレータ基板の製造方法。

〔4〕前記絶縁基板は、第2のシリコンウェーハ(1)の表面に二酸化シリコンまたは窒化シリコ

ンよりなる絶縁膜(2)が形成されてなることを特徴とする請求項〔1〕、〔2〕または〔3〕記載のシリコンオンインシュレータ基板の製造方法。

〔5〕前記接着工程において、前記絶縁基板と前記第1のシリコンウェーハ(4)との間に10K～5MV/cmの交番電界を印加することを特徴とする請求項〔1〕、〔2〕、〔3〕または〔4〕記載のシリコンオンインシュレータ基板の製造方法。

〔6〕前記第1のシリコンウェーハ(4)の前記タンタルの薄層(3)との接着面にヒ素、ホウ素またはリンを100KeV以下の注入エネルギーと $1 \times 10^{14} \text{cm}^{-2}$ 以上のドーズ量とをもってイオン注入することを特徴とする請求項〔1〕、〔2〕、〔3〕、〔4〕または〔5〕記載のシリコンオンインシュレータ基板の製造方法。

〔7〕前記接着工程に引き続き800～1,000℃の温度において熱処理をなす工程を有することを特徴とする請求項〔1〕、〔2〕、〔3〕、〔4〕、〔5〕または〔6〕記載のシリコンオンインシュレータ基板の製造方法。

3. 発明の詳細な説明

〔概要〕

シリコンオンインシュレータ基板（以下、SOI基板と云う。）の製造方法、特に、金属シリサイドよりなる低抵抗の埋め込み層を有するSOI基板の製造方法に関し、

抵抗の低い金属シリサイドを埋め込み層に使用し、しかも、基板全面にわたって均一な接着強度が得られるようにするSOI基板の製造方法を提供することを目的とし、

絶縁基板上にタンタルの薄層を形成し、このタンタルの薄層上に第1のシリコンウェーハを重ね合わせ、不活性ガス中において400～1,100℃の温度に加熱して接着するように構成する。

〔産業上の利用分野〕

本発明は、SOI基板の製造方法、特に、金属シリサイドよりなる低抵抗の埋め込み層を有するSOI基板の製造方法に関する。

4を重ね合わせて加熱し接着する方法である。

第3の方法は、第5図に示すように、絶縁膜2の形成された第2のシリコンウェーハ1上にチタン、ジルコニウム、または、ハフニウムの金属薄膜6を形成した後、第1のシリコンウェーハ4を重ね合わせて加熱し、金属薄膜6と第1のシリコンウェーハ4とのシリサイド化反応によって相互に接着する方法である。

〔発明が解決しようとする課題〕

第1の方法においては、第1のシリコンウェーハ4のイオン注入された領域が埋め込み層となるが、埋め込み層を低抵抗化するためには埋め込み層の厚さを厚く形成する必要がある。埋め込み層が厚くなると、溝分離法、LOCOS法等による素子分離構造の形成が困難になると云う欠点がある。

第2の方法においては、高温中において金属シリサイド膜5の表面が平坦でなくなってしまうため、張り合わせ面の接着強度が低下すると云う

〔従来の技術〕

近年のコンピュータの高速化、高密度化にともない、SOI基板による半導体装置間の電気的分離、および、埋め込み層の低抵抗化が必要になってきている。

埋め込み層を有するSOI基板の製造方法にはいくつかの方法が知られている。

第1の方法は、第3図に示すように、第1のシリコンウェーハ4の表層にヒ素、ホウ素、リン等をイオン注入し、このイオン注入された面が、表面に絶縁膜2の形成された第2のシリコンウェーハ1に接触するように第1のシリコンウェーハ4と第2のシリコンウェーハ1とを重ね合わせ、加熱して相互に接着した後、第1のシリコンウェーハ4を薄膜化する方法である。

第2の方法は、第4図に示すように、埋め込み層を低抵抗化するために、絶縁膜2の形成された第2のシリコンウェーハ1の表面にチタン等の金属とシリコンとを同時にスパッタして金属シリサイド膜5を形成した後、第1のシリコンウェーハ

欠点がある。

第3の方法においては、チタン、ジルコニウム、または、ハフニウムのシリサイドは絶縁膜2との密着性が悪く、絶縁膜2と金属シリサイドとの界面において剥離が発生することがあり、基板全面にわたって均一な接着が得られないと云う欠点がある。

本発明の目的は、これらの欠点を解消することにより、抵抗の低い金属シリサイドを埋め込み層に使用し、しかも、基板全面にわたって均一な接着強度が得られるようにするSOI基板の製造方法を提供することにある。

〔課題を解決するための手段〕

上記の目的は、絶縁基板上にタンタルの薄層(3)を形成し、このタンタルの薄層(3)上に第1のシリコンウェーハ(4)を重ね合わせ、不活性ガス中において400～1,100℃の温度に加熱して接着する工程を有するSOI基板の製造方法によって達成される。なお、前記の接着工程は

減圧中において実行され、また、前記の加熱温度は600～800℃であることが効果的である。また、前記の絶縁基板は、第2のシリコンウェーハ(1)の表面に二酸化シリコンまたは窒化シリコンよりなる絶縁膜(2)が形成されていることでもよく、また、前記の接着工程において、前記の絶縁基板と前記の第1のシリコンウェーハ(4)との間に3MV/cmの交番電界を印加することが効果的である。さらに、前記の第1のシリコンウェーハ(4)の前記タンタルの薄層(3)との接着面にヒ素、ホウ素またはリンを100KeV以下の注入エネルギーと 1×10^{14} cm⁻²以上のドーズ量とをもってイオン注入することが効果的であり、また、前記の接着工程に引き続き800～1,000℃の温度において熱処理をなすことが好ましい。

〔作用〕

本発明に係るSOI基板の製造方法においては、第2図(a)に示すように、絶縁膜2の形成され

た第2のシリコンウェーハ1上にタンタルの薄層3を形成し、その上に第1のシリコンウェーハ4を重ね合わせて加熱すると、タンタルの薄層3中に第1のシリコンウェーハ4のシリコンが拡散し、反応して金属シリサイド31が形成され、タンタルの薄層3と第1のシリコンウェーハ4とは良好に接着する。さらに熱処理を施すと、第2図(b)に示すようにシリサイド化が進行してタンタル薄層3はすべてシリサイド化する。この状態においては、もはやタンタルの薄層3と第1のシリコンウェーハ4との接着面は存在なくなり、むしろ、タンタルシリサイド31と絶縁膜2との密着力の方が問題となるが、タンタルシリサイド31と絶縁膜2との密着性は良好で、剥離が発生しないことが実験により確認されている。

〔実施例〕

以下、図面を参照つゝ、本発明の一実施例に係るSOI基板の製造方法について説明する。

第1図(a)参照

第2のシリコンウェーハ1の表面を熱酸化して0.2μm以上の二酸化シリコン絶縁膜2を形成する。

第1図(b)参照

スパッタ法、蒸着法等を使用して、0.04～0.08μm厚のタンタル薄層3を形成する。

第1図(c)参照

第1図(c)は接着装置の構成図である。図において、11は真空層であり、12は不活性ガス供給口であり、13はガス排気口であり、14はヒータであり、15はヒータ用電源であり、16はパルス電圧発生装置である。

第2のシリコンウェーハ1上に形成されたタンタル薄層3上に第1のシリコンウェーハ4を重ねてヒータ14上に載置し、真空層11をガス排気口13から排気して真空にした後、不活性ガス供給口12から窒素ガス等の不活性ガスを供給し、ヒータ電源15を使用してヒータ14を600～800℃の温度に加熱する。第1のシリコンウェーハ4と第2

のシリコンウェーハ1との間に1M～3.5MV/cmの電界が加わるようにパルス電圧発生装置16の発生する100～350Vのパルス電圧を每秒1～2回の周期をもって3分間程度電極17とヒータ14との間に印加し接着する。

すべてのタンタル薄層3をシリサイド化するために、引き続き800～1,000℃の温度で30分以上の熱処理を施す。

なお、第1のシリコンウェーハ4と第2のシリコンウェーハ1とを重ね合わせて、ヒータ14上に載置するとき、第1のシリコンウェーハ4を下側にしてもよい。

また、第1のシリコンウェーハ4の表面にヒ素、ホウ素、リン等の不純物を100KeV以下の注入エネルギーと 1×10^{14} cm⁻²以上のドーズ量とをもってイオン注入しておけば、シリコンとシリサイド層との間の電位バリアを低くすることができ、オーミックな特性を得ることができる。

〔発明の効果〕

以上説明するとおり、本発明に係るSOI基板の製造方法においては、絶縁基板上に形成されたタンタル薄膜と第1のシリコンウェーハとの間にシリサイド化反応が発生して相互に良好に接着し、また、タンタルシリサイドと絶縁基板との間の密着性が優れているので、全面にわたって良好に接着したSOI基板が形成される。また、埋め込み層は金属シリサイド層よりなるため、抵抗が低く且つ薄く形成されるので、このSOI基板を使用することによって半導体装置の高速化、高密度化が可能になり、しかも、素子分離等の製造工程を簡略化することができる。

4. 図面の簡単な説明

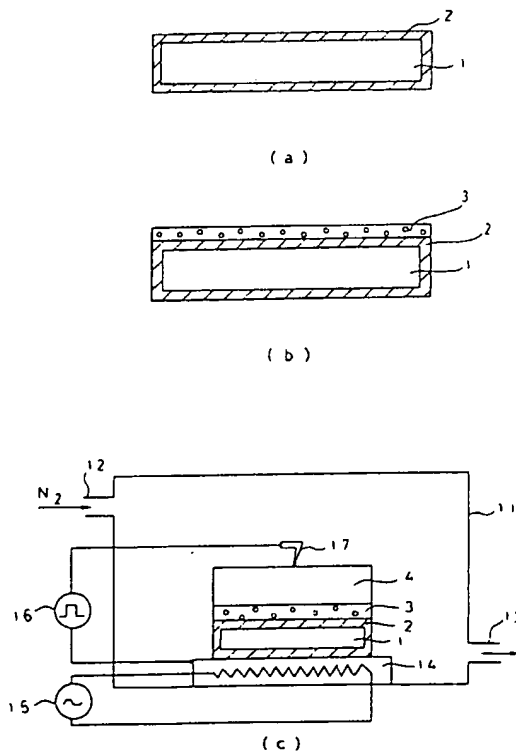
第1図は、本発明の一実施例に係るSOI基板の製造方法を説明する工程図である。

第2図は、本発明の原理説明図である。

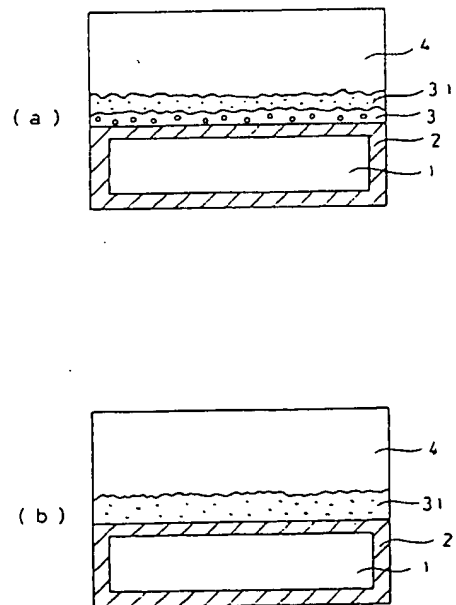
第3図～第5図は、従来技術に係るSOI基板の製造方法の説明図である。

- 1・・・第2のシリコンウェーハ、
- 2・・・絶縁膜、
- 3・・・タンタル薄膜、
- 4・・・第1のシリコンウェーハ、
- 5・・・金属シリサイド膜、
- 6・・・金属薄膜、
- 11・・・真空槽、
- 12・・・不活性ガス供給口、
- 13・・・ガス排気口、
- 14・・・ヒータ、
- 15・・・ヒータ用電源、
- 16・・・パルス電圧発生装置、
- 17・・・電極。

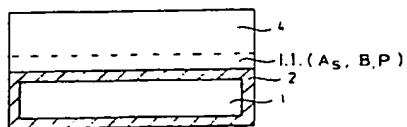
代理人 弁理士 寒川 誠一



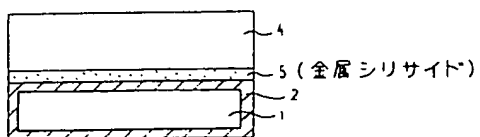
本発明
第1図



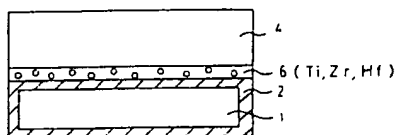
原理説明図
第2図



従来技術
第 3 図



従来技術
第 4 図



従来技術
第 5 図